



BAT32WB35 数据手册

基于ARM® Cortex®-M0+的超低功耗32位微控制器

内置 64K 字节 Flash，丰富的模拟功能，定时器，BLE5.0 及各种通讯接口

Rev. 1.01

请注意以下有关CMS知识产权政策

* 中微半导体（深圳）股份有限公司（以下简称本公司）已申请了专利，享有绝对的合法权益。与本公司MCU或其他产品有关的专利权并未被同意授权使用，任何经由不当手段侵害本公司专利权的公司、组织或个人，本公司将采取一切可能的法律行动，遏止侵权者不当的侵权行为，并追讨本公司因侵权行为所受的损失、或侵权者所得的不法利益。

* 中微半导体（深圳）股份有限公司的名称和标识都是本公司的注册商标。

* 本公司保留对规格书中产品在可靠性、功能和设计方面的改进作进一步说明的权利。然而本公司对于规格内容的使用不负责任。文中提到的应用其目的仅仅是用来做说明，本公司不保证和不表示这些应用没有更深入的修改就能适用，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。本公司的产品不授权适用于救生、维生器件或系统中作为关键器件。本公司拥有不事先通知而修改产品的权利，对于最新的信息，请参考官方网站 www.mcu.com.cn

1. 功能特性

- **超低功耗工作环境：**
 - 电源电压范围：1.8V 到 3.6V
 - 温度范围：-40°C 到 85°C
 - 低功耗模式：睡眠模式，深度睡眠模式
 - 运行功耗：35uA/MHz@64MHz
 - 深度睡眠模式下功耗(BLE 断电)：0.45uA
 - BLE 睡眠模式下功耗(BLE linked)：5uA (typical)
 - 深度睡眠模式+32.768K+RTC 工作(BLE 断电)：0.7uA
- **内核：**
 - ARM®32-bitCortex®-M0+ CPU
 - 工作频率：32KHz~64MHz
- **存储器：**
 - 64KB Flash 存储器，程序与数据存储共享
 - 1KB 专用数据 Flash 存储器
 - 8KB SRAM 存储器，附带奇偶校验
- **电源和复位管理：**
 - 内置上电复位 (POR) 电路
 - 内置电压检测 (LVD) 电路 (门限电压可设)
- **时钟管理：**
 - 内置高速发振器，精度 (±1%)。可提供 1MHz~64MHz 系统时钟及外围模块动作时钟
 - 内置 15KHz 低速振荡器
 - 支持 1MHz~20MHz 外部晶体振荡器
 - 支持 32.768KHz 外部晶体振荡器
- **乘法器模块：**
 - 支持 32 周期 32bit 乘法运算
- **增强型 DMA 控制器：**
 - 中断触发启动。
 - 传送模式可选 (正常传送模式，重复传送模式，块传送模式以及链传送模式)
 - 传送源/目的领域为全地址空间范围可选
- **联动控制器：**
 - 能将事件信号链接到一起，实现外围功能的联动。
 - 事件输入 14 种，事件触发 4 种。
- **模拟外围：**
 - 12 位精度 ADC 转换器，转换速率 1.42Msps，外部模拟通道数 16 个，带温度传感器，支持单通道转换模式和多通道扫描转换模式。转换范围：0 到正参考电压
 - 比较器 CMP1：支持外部参考及内部参考电压选择。
- **输入/输出端口：**
 - I/O 端口：24 个
 - 能进行 N 沟道漏极开路、内部上下拉的切换
 - 内置按键中断检出功能
 - 内置时钟输出/蜂鸣器输出的控制电路
- **串行两线调试器 (SWD)**
- **丰富的定时器：**
 - 16 位定时器：8 通道
 - 15 位间隔定时器：1 个
 - 实时时钟 (RTC)：1 个 (具有万年历、闹钟功能，并且支持大范围的时钟校正)
 - 看门狗定时器 (WWDT)：1 个
 - SysTick 定时器
- **BLE5.0**
 - 蓝牙 BLE 5.0，兼容 BLE4.2
 - 支持 2Mbps 高速模式
 - 接收灵敏度：-94dBm @1Mbps mode
 - 发射功率：-20dBm - +5dBm
 - 单端天线接口
- **丰富灵活的接口：**
 - 3 通道串行通讯单元：每通道可以自由配置成 1 通道标准 UART、2 通道 SPI 或 2 通道简易 I2C
 - 标准 SPI：1 通道 (支持 8bit 和 16bit)
 - 标准 I²C：1 通道
 - IrDA：1 通道
- **安全功能：**
 - 符合 IEC/UL 60730 相关标准
 - 异常存储空间访问报错
 - 支持 RAM 奇偶校验
 - 支持硬件 CRC 校验
 - 支持重要 SFR 保护，防止误操作
 - 128 位唯一 ID 号
 - debug 模式下的 Flash 二级保护 (level1：只能进行 flash 全领域擦除，不能读写；level2：仿真器连接无效，对 flash 操作不可)
- **封装：**
 - QFN40(5x5)

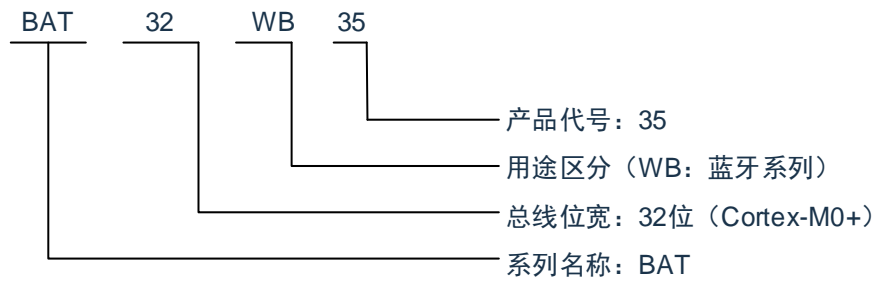
2. 概述

2.1 简介

超低功耗 BAT32WB35 采用高性能的 ARM® Cortex®-M0+ 的 32 位 RISC 内核，最高可工作于 64 兆赫兹频率，采用高速的嵌入式闪存（SRAM 最大 8KB，程序/数据闪存最大 64KB）。本产品集成 BLE5.0、I2C、SPI、UART、LIN 多种标准接口以及 12bitA/D 转换器、温度传感器和比较器 CMP 等。可处理 BLE5.0 射频电路及蓝牙协议。12bitA/D 转换器可以用于采集外部传感器信号，降低系统设计成本。芯片内集成的温度传感器则可实现对外部环境温度实时监控。集成 8 通道 16bit 定时器模块，并搭载 EPWM 控制电路，结合定时器可实现一个直流电机或者两个步进电机的控制。

BAT32WB35 提供了符合 BLE5.0 的无线连接能力，并具有出色的低功耗性能，支持睡眠和深度睡眠两种低功耗模式，设计灵活。其运行功耗为 35uA/MHz@64MHz，在深度睡眠模式下功耗仅 0.45uA，适合采用电池供电的低功耗设备。同时，由于集成事件联动控制器，可实现硬件模块之间的直接连接，无需 CPU 的干预，比使用中断响应速度更快，同时降低了 CPU 的活动频率，延长了电池寿命。

2.2 产品型号一览表



BAT32WB35 的产品一览表:

引脚数	封装	产品型号
40引脚	40引脚塑封QFN (5×5mm, 0.4mm 间距)	BAT32WB35

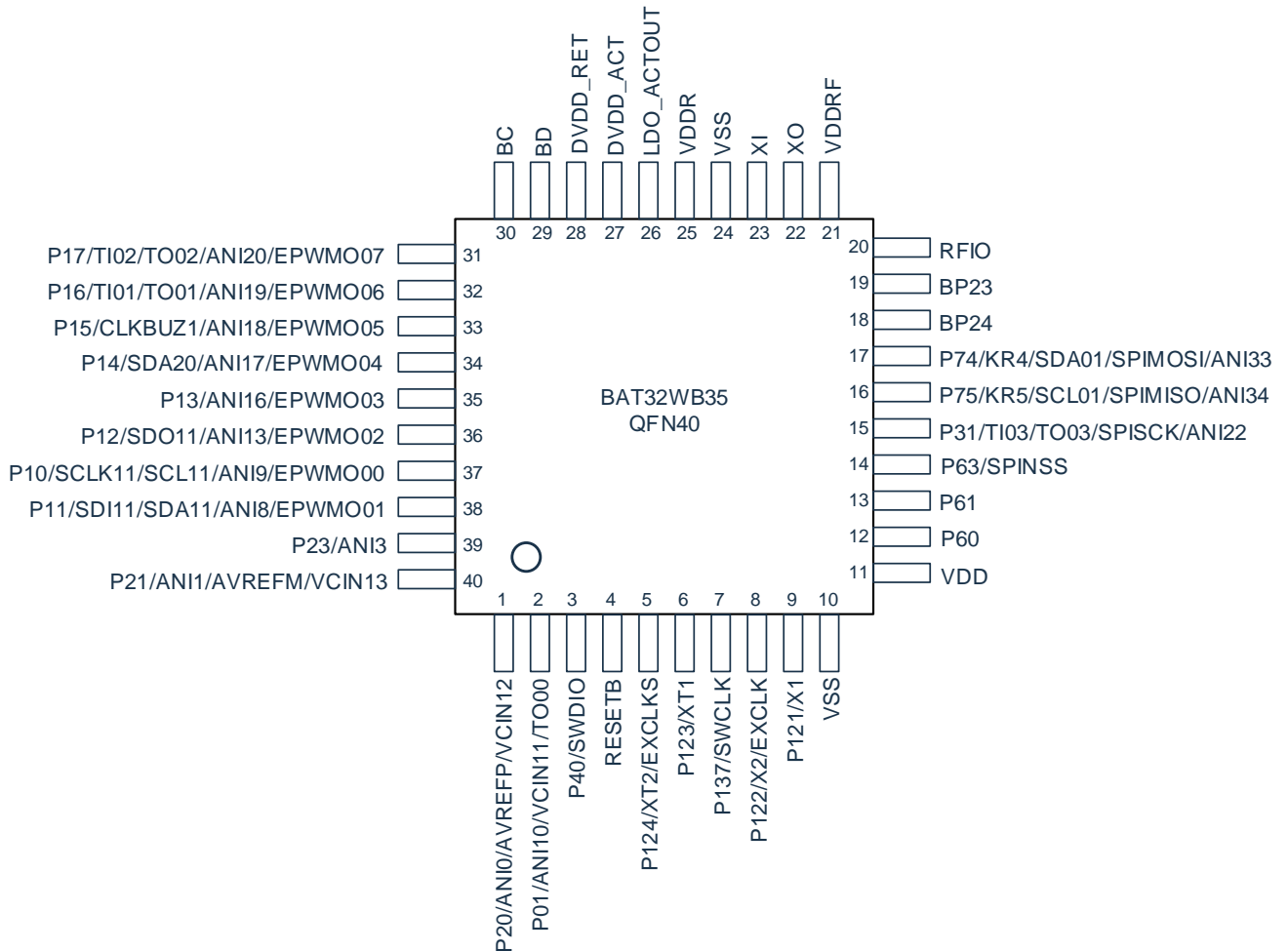
FLASH、SRAM 容量:

Flash存储器	专用数据 Flash存储器	SRAM
64KB	1KB	8KB

2.3 引脚连接图 (Top View)

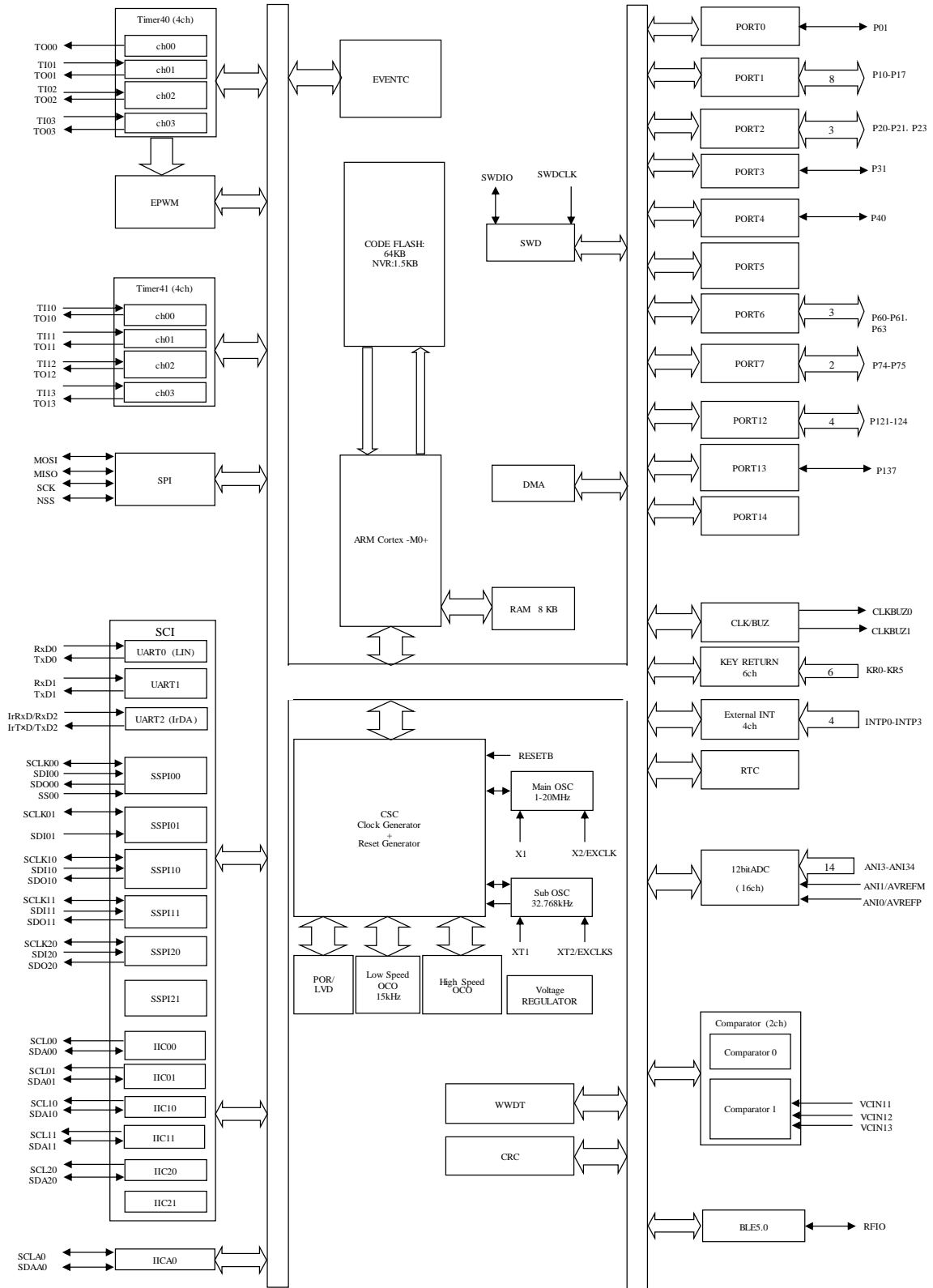
2.3.1 BAT32WB35-QFN40

40 引脚塑封 QFN (5x5mm, 0.4mm 间距)



注：图中未标记的数字功能支持引脚可配，详见 5.1 节。

3. 产品结构图



4. 存储器映射

FFFF_FFFFH	保留
E00F_FFFFH	Cortex_M0+专用外设资源区
E000_0000H	
4005_FFFFH	保留
4000_0000H	外设资源区
2000_1FFFFH	
2000_0000H	SRAM(8KB)
0050_05FFFH	保留
0050_0200H	数据闪存1KB
0000_FFFFH	保留
0000_0000H	主闪存区(最大64KB)

5. 引脚功能

5.1 端口功能

表 5-1: 端口功能说明

端口名	复用功能	数字输出功能设定寄存器 pxxcfg[3:0]	数字输入功能设定寄存器 xxxPCFG[5:0]
RESETB	RESETB	-	-
P01	GPIO	00H	00H
	ANI10	00H	00H
	VCIN11	00H	00H
	TO00	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P10	GPIO	00H	00H
	ANI9	00H	00H
	SCLK11	00H	00H
	SCL11	00H	00H
	epwmo00	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P11	GPIO	00H	00H
	ANI8	00H	00H
	SDI11	00H	00H
	SDA11	00H	00H
	epwmo01	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P12	GPIO	00H	00H
	ANI13	00H	00H
	SDO11	00H	00H
	epwmo02	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P13	GPIO	00H	00H
	ANI16	00H	00H
	epwmo03	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P14	GPIO	00H	00H
	ANI17	00H	00H
	SDA20	00H	00H
	epwmo04	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P15	GPIO	00H	00H
	ANI18	00H	00H
	CLKBUZ1	00H	00H
	epwmo05	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P16	GPIO	00H	00H
	ANI19	00H	00H
	TI01	00H	00H
	TO01	00H	00H

	(SPIMOSI)	00H	00H
	epwmo06	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P17	GPIO	00H	00H
	ANI20	00H	00H
	TI02	00H	00H
	TO02	00H	00H
	(SPIMISO)	00H	00H
	epwmo07	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P20	GPIO	00H	00H
	ANI0	00H	00H
	AVREFP	00H	00H
	VCIN12	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P21	GPIO	00H	00H
	ANI1	00H	00H
	AVREFM	00H	00H
	VCIN13	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P23	GPIO	00H	00H
	ANI3	00H	00H
	PGA0GND	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P31	GPIO	00H	00H
	ANI22	00H	00H
	TI03	00H	00H
	TO03	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P40	GPIO	00H	00H
	SWDIO	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P60	GPIO	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P61	GPIO	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P63	GPIO	00H	00H
	ANI28	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P74	GPIO	00H	00H
	ANI33	00H	00H
	KR4	00H	00H
	SDI01	00H	00H
	SDA01	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P75	GPIO	00H	00H
	ANI34	00H	00H
	KR5	00H	00H
	SCLK01	00H	00H

	SCL01	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P121	GPIO	00H	00H
	X1	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P122	GPIO	00H	00H
	X2	00H	00H
	EXCLK	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P123	GPIO	00H	00H
	XT1	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P124	GPIO	00H	00H
	XT2	00H	00H
	EXCLKS	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
P137	GPIO	00H	00H
	SWCLK	00H	00H
	可配置数字功能	X (见表 5-2)	X (见表 5-2)
BP23	专用测试引脚	-	-
BP24	专用测试引脚	-	-
XO	16MHz 晶振输出	-	-
XI	16MHz 晶振输入	-	-
BC	专用调试时钟引脚	-	-
BD	专用调试数据引脚	-	-
RFIO	RF 输入输出	-	-
VDDR	RF 电源 1.8V~3.6V	-	-
VDDRF	连接 LDO_ACT_OUT	-	-
LDO_ACT_OUT	内部 LDO 输出	-	-
DVDD_ACT	外部连接电容引脚	-	-
DVDD_RET	外部连接电容引脚	-	-
VDD	电源	-	-
VSS	地	-	-

表 5-2: 数字功能配置一览表 (1/2 输出功能配置)

引脚名	控制寄存器	寄存器配置	引脚兼用功能
P01~P137	P01cfg[3:0]~P137cfg[3:0]	4'h00	默认的兼用输出
		4'h01	TO10
		4'h02	TO11
		4'h03	TO12
		4'h04	TO13
		4'h05	SDO00/TxD0
		4'h06	SDO20/TxD2
		4'h07	CLKBUZ0
		4'h08	SCLKO00
		4'h09	SCLKO20
		4'h0a	TxD1

注: P60, P61 为 NOD 输出, 配置使用时需要注意。

表 5-2: 数字功能配置一览表 (2/2 输入功能配置)

控制寄存器	寄存器配置	引脚兼用功能
TI10PCFG TI11PCFG TI12PCFG TI13PCFG INTP0PCFG INTP1PCFG INTP2PCFG INTP3PCFG SDI00PCFG (SPI/IIC/UART) SCLKI00PCFG (SPI/IIC) SS00PCFG (SPI) SDI20PCFG (SPI/UART) SCLKI20PCFG (SPI) RXD1PCFG (UART) SDAA0PCFG SCLA0PCFG	6'h00	默认的兼用输入
	6'h01	设定禁止
	6'h02	P01 作为兼用输入
	6'h03	P10 作为兼用输入
	6'h04	P11 作为兼用输入
	6'h05	P12 作为兼用输入
	6'h06	P13 作为兼用输入
	6'h07	P14 作为兼用输入
	6'h08	P15 作为兼用输入
	6'h09	P16 作为兼用输入
	6'h0a	P17 作为兼用输入
	6'h0b	P20 作为兼用输入
	6'h0c	P21 作为兼用输入
	6'h0d	设定禁止
	6'h0e	P23 作为兼用输入
	6'h0f	设定禁止
	6'h10	设定禁止
	6'h11	设定禁止
	6'h12	设定禁止
	6'h13	设定禁止
	6'h14	P31 作为兼用输入
	6'h15	P40 作为兼用输入
	6'h16	设定禁止
	6'h17	设定禁止
	6'h18	设定禁止
	6'h19	P60 作为兼用输入
	6'h1a	P61 作为兼用输入
	6'h1b	设定禁止
	6'h1c	P63 作为兼用输入
	6'h1d	设定禁止
	6'h1e	设定禁止

	6'h1f	设定禁止
	6'h20	设定禁止
	6'h21	P74 作为兼用输入
	6'h22	P75 作为兼用输入
	6'h23	设定禁止
	6'h24	P121 作为兼用输入
	6'h25	P122 作为兼用输入
	6'h26	P123 作为兼用输入
	6'h27	P124 作为兼用输入
	6'h28	设定禁止
	6'h29	设定禁止
	6'h2a	P137 作为兼用输入
	6'h2b	设定禁止
	6'h2c	设定禁止
	6'h2d	设定禁止

表 5-3: SPI 引脚功能配置一览表

寄存器名称	寄存器设置	SPI 引脚功能映射关系			
		SPINSS	SPISCK	SPIMISO	SPIMOSI
SPIPCFG[1:0]	2'b00	不映射到任何引脚			
	2'b01	设定禁止			
	2'b10	P63	P31	P75	P74
	1'b11	设定禁止			

5.2 端口复用功能说明

表 5-4: 端口复用功能说明 (1)

功能名称	输入 / 输出	功能
ANIO ~ ANI34	输入	A/D 转换器的模拟输入
INTP0 ~ INTP3	输入	外部中断请求输入 有效边沿的指定: 上升沿、下降沿、上升和下降的双边沿
VCIN11, VCIN12, VCIN13	输入	比较器 1 的模拟电压/基准电压输入
KR4 ~ KR5	输入	键中断输入
CLKBUZ0, CLKBUZ1	输出	时钟输出 / 蜂鸣器输出
RESETB	输入	低电平有效的系统复位输入, 当不使用外部复位时, 必须直接或者通过电阻连接 VDD。
IrRxD	输入	IrDA 的串行数据输入
IrTxD	输出	IrDA 的串行数据输出
RxD0 ~ RxD2	输入	串行接口 UART0、UART1、UART2 的串行数据输入
TxD0 ~ TxD2	输出	串行接口 UART0、UART1、UART2 的串行数据输出
SCL00、SCL01、SCL10、 SCL11、SCL20	输出	串行接口 IIC00、IIC01、IIC10、IIC11、IIC20 的串行时钟输出
SDA00、SDA01、SDA10、 SDA11、SDA20	输入 / 输出	串行接口 IIC00、IIC01、IIC10、IIC11、IIC20 的串行数据输入 / 输出
SCLK00、SCLK01、SCLK10、 SCLK11、SCLK20	输入 / 输出	串行接口 SSPI00、SSPI01、SSPI10、SSPI11、SSPI20 的串行时钟输入/输出
SDI00、SDI01、SDI10、SDI11、 SDI20	输入	串行接口 SSPI00、SSPI01、SSPI10、SSPI11、SSPI20 的串行数据输入

表 5-5: 端口复用功能说明 (2)

功能名称	输入 / 输出	功能
SS00	输入	串行接口 SSPI00 的芯片选择输入
SDO00、 SDO10、 SDO11、 SDO20	输出	SSPI00、 SSPI10、 SSPI11、 SSPI20 的串行数据输出
SPINSS	输入	串行接口 SPI 的芯片选择输入
SPISCK	输入 / 输出	串行接口 SPI 的串行时钟输入 / 输出
SPIMISO	输入 / 输出	串行接口 SPI 的串行数据输入 / 输出
SPI MOSI	输入 / 输出	串行接口 SPI 的串行数据输入 / 输出
SCLA0	输入 / 输出	串行接口 IICA0 的时钟输入 / 输出
SDAA0	输入 / 输出	串行接口 IICA0 的串行数据输入 / 输出
TI01~ TI03	输入	16 位定时器 Timer40 的外部计数时钟 / 捕捉触发输入
TO00~ TO03	输出	16 位定时器 Timer40 的定时器输出
TI10~ TI13	输入	16 位定时器 Timer41 的外部计数时钟 / 捕捉触发输入
TO10~ TO13	输出	16 位定时器 Timer41 的定时器输出
X1、 X2	—	连接用于主系统时钟的谐振器。
EXCLK	输入	主系统时钟的外部时钟输入
XT1、 XT2	—	连接用于副系统时钟的谐振器。
EXCLKS	输入	副系统时钟的外部时钟输入
VDD	—	电源
AVREFP	输入	A/D 转换器的正 (+) 基准电压输入
AVREFM	输入	A/D 转换器的负 (-) 基准电压输入
VSS	—	地
SWDIO	输入 / 输出	SWD 数据接口
SWCLK	输入	SWD 时钟接口

备注：作为噪声和锁定的对策，必须在 VDD-VSS 之间以最短的距离并且用较粗的布线连接旁路电容器 (0.1uF 左右)。

6. 功能概要

6.1 ARM[®] Cortex[®]-M0+内核

ARM 的 Cortex-M0(+)处理器是 ARM 处理器中针对嵌入式系统的新一代产品。它提供了一种低成本的平台旨在满足少引脚数和低功耗单片机的需求，同时提供出色的计算性能和先进的系统响应中断。

Cortex-M0(+)处理器的 32 位 RISC 处理器，提供卓越的代码效率，提供 ARM 内核的高性能预期，区别于同等内存大小的 8 位和 16 位器件。Cortex-M0(+)处理器具有 32 根地址线，存储空间多达 4G。

BAT32WB35 采用嵌入式的 ARM 内核，因此与所有的 ARM 工具和软件兼容。

6.2 存储器

6.2.1 闪存 Flash

BAT32WB35 内置了可进行编程、擦除和重写的闪存。具有如下功能：

- 程序和数据共享 64K 存储空间。
- 1KB 专用数据 Flash 存储器
- 支持页擦除，每页大小是 512byte，擦除时间 4ms
- 支持 byte/half-word/word (32bit) 编程，编程时间 24us

6.2.2 SRAM

BAT32WB35 内置 8K 字节的嵌入式 SRAM。

6.3 增强型 DMA 控制器

内置增强型 DMA (Direct Memory Access) 控制器，能够实现不使用 CPU 而在存储器之间进行数据传送的功能。

- 支持通过外围功能中断启动 DMA，能实现通过通信、定时器和 A/D 进行的实时控制。
- 传送源/目的领域为全地址空间范围可选 (flash 领域作为目的地址时，需要预设 flash 为编程模式)。
- 支持 4 种传送模式 (正常传送模式，重复传送模式，块传送模式以及链传送模式)。

6.4 联动控制器

联动控制器将各外围功能输出的事件与外围功能触发源之间相互链接。从而实现不使用 CPU 而直接进行外围功能之间的协作运行。

联动控制器有以下功能：

- 能将事件信号链接到一起，实现外围功能的联动。
- 事件输入 14 种，事件触发 4 种。

6.5 时钟发生和启动

时钟发生电路是产生给 CPU 和外围硬件提供时钟的电路。有以下 3 种系统时钟和时钟振荡电路。

6.5.1 主系统时钟

- X1 振荡电路：能通过给引脚（X1 和 X2）连接谐振器产生 1~20MHz 的时钟振荡，并且能通过执行深度睡眠指令或者设定 MSTOP 使振荡停止。
- 高速内部振荡器（高速 OCO）：能通过选项字节选择频率进行振荡。在解除复位后，CPU 默认以此高速内部振荡器时钟开始运行。能通过执行深度睡眠指令或者设定 HIOSTOP 位使振荡停止。能通过高速内部振荡器的频率选择寄存器更改选项字节设定的频率。最高频率为 64Mhz，精度±1.0%。
- 由引脚（X2）输入外部时钟：（1~20MHz），并且能通过执行深度睡眠 指令或者设定 MSTOP 位将外部主系统时钟的输入置为无效。

6.5.2 副系统时钟

- XT1 振荡电路：能通过给引脚（XT1 和 XT2）连接 32.768kHz 的谐振器产生 32.768kHz 的时钟振荡，并且能通过设定 XTSTOP 位使振荡停止。
- 由引脚（XT2）输入外部时钟：32.768kHz，并且能通过设定 XTSTOP 位将外部时钟的输入置为无效。

6.5.3 低速内部振荡器时钟

- 低速内部振荡器（低速 OCO）：产生 15kHz (TYP.) 的时钟振荡。低速内部振荡器时钟可用作 CPU 时钟。以下外围硬件能通过低速内部振荡器时钟运行：：
 - 看门狗定时器（WWDT）
 - 实时时钟（RTC）
 - 15 位间隔定时器

6.6 电源管理

6.6.1 供电方式

- VDD: 外部电源, 电压范围 1.8 至 3.6V。
- VDDR: RF 外部电源, 电压范围 1.8 至 3.6V, 必须等于外部电源 VDD。

6.6.2 上电复位

上电复位电路 (POR) 有以下功能。

- 在接通电源时产生内部复位信号。如果电源电压 (VDD) 大于检测电压 (VPOR), 就解除复位。但是, 在达到工作电压范围前, 必须通过电压检测电路或者外部复位保持复位状态。
- 将电源电压 (VDD) 和检测电压 (VPDR) 进行比较, 当 $VDD < VPDR$ 时, 产生内部复位信号。但是, 在电源下降时, 必须在小于工作电压范围前, 转移到深度睡眠模式, 或者通过电压检测电路或外部复位设定为复位状态。如果要重新开始运行, 必须确认电源电压已恢复到工作电压范围内。

6.6.3 电压检测

电压检测电路通过选项字节设定运行模式和检测电压 (VLVDH、VLVDL、VLVD)。电压检测 (LVD) 电路有以下功能:

- 将电源电压 (VDD) 和检测电压 (VLVDH、VLVDL、VLVD) 进行比较, 产生内部复位或者中断请求信号。
- 电源电压的检测电压 (VLVDH、VLVDL、VLVD) 能通过选项字节选择检测电平。
- 能在深度睡眠模式中运行。
- 当电源上升时, 在达到工作电压范围前, 必须通过电压检测电路或者外部复位保持复位状态。当电源下降时, 必须在小于工作电压范围前, 转移到深度睡眠模式, 或者通过电压检测电路或外部复位设定为复位状态。
- 工作电压范围根据用户选项字节的设定而变。

6.7 低功耗模式

BAT32WB35 支持两种低功耗模式以便在功耗低, 启动时间短, 可用的唤醒源之间实现最佳的折衷:

- 睡眠模式: 通过执行睡眠指令进入睡眠模式。睡眠模式是停止 CPU 运行时钟的模式。在设定睡眠模式前, 如果高速系统时钟振荡电路、高速内部振荡器或者副系统时钟振荡电路正在振荡, 各时钟就继续振荡。虽然此模式无法让工作电流降到深度睡眠模式的程度, 但是在想要通过中断请求立即重新开始处理或者想要频繁地进行间歇运行时是一种有效的模式。
- 深度睡眠模式: 通过执行深度睡眠指令进入深度睡眠模式。深度睡眠模式是停止高速系统时钟振荡电路和高速内部振荡器的振荡并且停止整个系统的模式。能大幅度地降低芯片的工作电流。因为深度睡眠模式能通过中断请求来解除, 所以也能进行间歇运行。但是, 在 X1 时钟的情况下, 因为在解除深度睡眠模式时需要确保振荡稳定的等待时间, 所以如果一定要通过中断请求立即开始处理, 就必须选择睡眠模式。

在任何一种模式中, 寄存器、标志和数据存储器全部保持设定为待机模式前的内容, 并且还保持输入/输出端口的输出锁存器和输出缓冲器的状态。

6.8 复位功能

以下 7 种方法产生复位信号。

- 1) 通过 RESETB 引脚输入外部复位。
- 2) 通过看门狗定时器的程序失控检测产生内部复位。
- 3) 通过上电复位 (POR) 电路的电源电压和检测电压的比较产生内部复位。
- 4) 通过电压检测电路 (LVD) 的电源电压和检测电压的比较产生内部复位。
- 5) 因 RAM 奇偶校验错误而产生内部复位。
- 6) 因存取非法存储器而产生内部复位。
- 7) 软件复位

内部复位和外部复位相同，在产生复位信号后，从写在地址 0000H 和 0001H 中的地址开始执行程序。

6.9 中断功能

Cortex-M0+处理器内置了嵌套向量中断控制器(NVIC),支持最多 32 个中断请求(IRQ)输入, 以及 1 个不可屏蔽中断(NMI)输入, 另外, 处理器还支持多个内部异常。

本产品对 32 个可屏蔽中断请求(IRQ)和 1 个不可屏蔽中断(NMI)进行了处理, 详见用户使用手册对应章节。中断源的实际个数因产品而不同。

6.10 实时时钟 (RTC)

实时时钟 (RTC) 有以下功能。

- 具有年、月、星期、日、小时、分钟和秒的计数器。
- 固定周期中断功能 (周期: 0.5 秒、1 秒、1 分钟、1 小时、1 日、1 个月)
- 闹钟中断功能 (闹钟: 星期、小时、分钟)
- 支持副系统时钟或者主系统时钟的分频作为 RTC 的运行时钟
- 实时时钟中断信号 (INTRTC) 能用作深度睡眠模式的唤醒
- 支持大范围的时钟校正功能

只有在选择副系统时钟 (32.768kHz) 或者主系统时钟的分频作为 RTC 的运行时钟的情况下, 才能进行年、月、星期、日、小时、分钟和秒的计数。当选择低速内部振荡器时钟 (15kHz) 时, 只能使用固定周期中断功能。

6.11 看门狗定时器

1 通道 WWDTC, 17bit 看门狗定时器通过选项字节设定计数运行。看门狗定时器以低速内部振荡器时钟 (15kHz) 运行。看门狗定时器用于检测程序失控。在检测到程序失控时, 产生内部复位信号。

下述情况判断为程序失控:

- 当看门狗定时器计数器发生上溢时
- 当对看门狗定时器的允许寄存器 (WDTCR) 执行 1 位操作指令时
- 当给 WDTCR 寄存器写“ACH”以外的数据时
- 在窗口关闭期间给 WDTCR 寄存器写数据时

6.12 SysTick 定时器

这个定时器是实时操作系统专用的，但也可以作为一个标准的递减计数器使用。

它的特点为：24 位递减计数器自装填能力计数器达到 0 时，有可屏蔽的系统中断的产生。

6.13 定时器 timer4

本产品内置 2 个含有 4 通道 16 位定时器的定时器单元 timer4。每个 16 位定时器称为一个“通道”，既能分别用作独立的定时器，也能组合多个通道用作高级的定时器功能。

有关各功能的详细内容，请参照下表。

独立通道运行功能	多通道联动运行功能
<ul style="list-style-type: none"> • 间隔定时器 • 方波输出 • 外部事件计数器 • 分频器 • 输入脉冲间隔的测量 • 输入信号的高/低电平宽度的测量 • 延迟计数器 	<ul style="list-style-type: none"> • 单触发脉冲输出 • PWM 输出 • 多重 PWM 输出

6.13.1 独立通道运行功能

独立通道运行功能是能不受其他通道运行模式的影响而独立使用任意通道的功能。独立通道运行功能能用作以下模式：

- 1) 间隔定时器：能用作以固定间隔产生中断（INTTM）的基准定时器。
- 2) 方波输出：每当产生 INTTM 中断时，就触发翻转，从定时器输出引脚（TO）输出 50% 占空比的方波。
- 3) 外部事件计数器：对定时器输入引脚（TI）的输入信号的有效边沿进行计数，如果达到规定次数，就能用作产生中断的事件计数器。
- 4) 输入脉冲间隔的测量：在定时器输入引脚（TI）的输入脉冲信号的有效边沿开始计数并且在下一个脉冲的有效边沿捕捉计数值，从而测量输入脉冲的间隔。
- 5) 输入信号的高/低电平宽度的测量：在定时器输入引脚（TI）的输入信号的一个边沿开始计数并且在另一个边沿捕捉计数值，从而测量输入信号的高电平或者低电平的宽度。
- 6) 延迟计数器：在定时器输入引脚（TI）的输入信号的有效边沿开始计数并且在经过任意延迟期间后产生中断。

6.13.2 多通道联动运行功能

多通道联动运行功能可将主控通道（主要控制周期的基准定时器）和从属通道（遵从主控通道运行的定时器）组合实现的功能。多通道联动运行功能能用作以下模式：

- 1) 单触发脉冲输出：将 2 个通道成对使用，生成能任意设定输出时序和脉宽的单触发脉冲。
- 2) PWM（Pulse Width Modulation）输出：将 2 个通道成对使用，生成能任意设定周期和占空比的脉冲。
- 3) 多重 PWM（Pulse Width Modulation）输出：能通过扩展 PWM 功能并且使用 1 个主控通道和多个从属通道，以固定周期生成最多 7 种任意占空比的 PWM 信号。

6.13.3 8 位定时器运行功能

8 位定时器运行功能可将 16 位定时器通道用作 2 个 8 位定时器通道的功能。（只能使用通道 1 和通道 3）

6.13.4 LIN-bus 支持功能

timer4 单元可用于检查 LIN-bus 通信中的接收信号是否适合 LIN-bus 通信格式。

- 1) 唤醒信号的检测：在 UART 串行数据输入引脚（RxD）的输入信号的下降沿开始计数并且在上升沿捕捉计数值，从而测量低电平宽度。如果该低电平宽度大于等于某固定值，就认为是唤醒信号。
- 2) 间隔场的检测：在检测到唤醒信号后，从 UART 串行数据输入引脚（RxD）的输入信号的下降沿开始计数并且在上升沿捕捉计数值，从而测量低电平宽度。如果该低电平宽度大于等于某固定值，就认为是间隔场。
- 3) 同步场脉宽的测量：在检测到间隔场后，测量 UART 串行数据输入引脚（RxD）的输入信号的低电平宽度和高电平宽度。根据以此方式测量的同步场的位间隔，计算波特率。

6.14 EPWM 输出控制电路

使用 Timer4 的 PWM 输出功能，实现一个直流电机或者两个步进电机的控制。通过截断源 CMP0 输出，INTP0 输入以及 EVENTC 事件，能截断输出。通过软件的设定，能从强制截断时进行 Hi-Z 输出、低电平输出、高电平输出以及禁止截断输出的 4 种输出中进行选择。

6.15 15 位间隔定时器

本产品内置一个 15 位间隔定时器，可按事先设定的任意时间间隔产生中断（INTIT），可用于从深度睡眠模式中唤醒。

6.16 时钟输出/蜂鸣器输出控制电路

时钟输出控制器用于给外围 IC 提供时钟，蜂鸣器输出控制器用于输出蜂鸣器频率的方波。由专门的引脚实现时钟输出或者蜂鸣器输出。

6.17 通用串行通讯单元

本产品内置 2 个通用串行通讯单元，每个单元最多有 4 个串行通讯通道。能实现标准 SPI、简易 SPI、UART 和简易 I2C 的通信功能。各通道的功能分配如下：

6.17.1 3 线串行接口（简易 SPI）

与主控设备输出的串行时钟（SCLK）同步进行数据的发送和接收。

这是使用 1 条串行时钟（SCLK）、1 条发送串行数据（SDO）和 1 条接收串行数据（SDI）共 3 条通信线进行通信的时钟同步通信接口。

[数据的发送和接收]

- 7 位或者 8 位的数据长度
- 发送和接收数据的相位控制
- MSB/LSB 优先的选择

[时钟控制]

- 主控或者从属的选择
- 输入/输出时钟的相位控制
- 由预分频器和通道内部计数器产生的传送周期
- 最大传送速率

主控通信：Max. $f_{CLK}/2$

从属通信：Max. $f_{MCK}/6$

[中断功能]

- 传送结束中断、缓冲器空中断

[错误检测标志]

- 溢出错误

6.17.2 带从属片选功能的 SPI

支持从属片选输入功能的 SPI 串行通信接口。这是使用一个从属片选输入（SS）、1 条串行时钟（SCLK）、1 条发送串行数据（SDO）和 1 条接收串行数据（SDI）共 4 条通信线进行通信的时钟同步通信接口。

[数据的发送和接收]

- 7 位或者 8 位的数据长度
- 发送和接收数据的相位控制
- MSB/LSB 优先的选择
- 发送和接收数据的电平设定

[时钟控制]

- 输入/输出时钟的相位控制
- 由预分频器和通道内部计数器产生的传送周期
- 最大传送速率

从属通信：Max. $f_{MCK}/6$

[中断功能]

- 传送结束中断、缓冲器空中断

[错误检测标志]

- 溢出错误

6.17.3 UART

通过串行数据发送（TxD）和串行数据接收（RxD）共 2 条线进行异步通信的功能。使用这 2 条通信线，按数据帧（由起始位、数据、奇偶校验位和停止位构成）与其他通信方进行异步（使用内部波特率）的数据发送和接收。能通过使用发送专用（偶数通道）和接收专用（奇数通道）共 2 个通道来实现全双工 UART 通信，而且还能通过组合 timer4 单元和外部中断（INTP0）来支持 LIN-bus。

[数据的发送和接收]

- 7 位、8 位或者 9 位的数据长度
- MSB/LSB 优先的选择
- 发送和接收数据的电平设定、反相的选择
- 奇偶校验位的附加、奇偶校验功能
- 停止位的附加、停止位的检测

[中断功能]

- 传送结束中断、缓冲器空中断
- 帧错误、奇偶校验错误或者溢出错误引起的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误、溢出错误

[LIN-bus 功能]

- 唤醒信号的检测
- 间隔场（BF）的检测
- 同步场的测量、波特率的计算

6.17.4 简易 I2C

通过串行时钟（SCL）和串行数据（SDA）共 2 条线与多个设备进行时钟同步通信的功能。因为此简易 I2C 是为了与闪存、A/D 转换器等设备进行单通信而设计的，所以只能用作主控设备。开始条件和停止条件与操作控制寄存器一样，必须遵守 AC 特性，通过软件进行处理。

[数据的发送和接收]

- 主控发送、主控接收（只限于单主控的主控功能）
- ACK 输出功能注、ACK 检测功能
- 8 位数据长度（在发送地址时，用高 7 位指定地址，用最低位进行 R/W 控制）
- 通过软件产生开始条件和停止条件

[中断功能]

- 传送结束中断

[错误检测标志]

- ACK 错误、溢出错误

[简易 I2C 不支持的功能]

- 从属发送、从属接收
- 多主控功能（仲裁失败检测功能）
- 等待检测功能

6.18 标准串行接口 SPI

串行接口 SPI 有以下 2 种模式：

- 运行停止模式：这是用于不进行串行传送时的模式，能降低功耗
- 3-wire 串行 I/O 模式：此模式通过串行时钟（SCK）和串行数据总线（MISO 和 MOSI）的 3 条线，与多个设备进行 8 位或 16 位数据传送。

6.19 标准串行接口 IICA

串行接口 IICA 有以下 3 种模式：

- 运行停止模式：这是用于不进行串行传送时的模式，能降低功耗。
- I2C 总线模式（支持多主控）：此模式通过串行时钟（SCLA）和串行数据总线（SDAA）的 2 条线，与多个设备进行 8 位数据传送。符合 I2C 总线格式，主控设备能在串行数据总线上给从属设备生成“开始条件”、“地址”、“传送方向的指示”、“数据”和“停止条件”。从属设备通过硬件自动检测接收到的状态和数据。能通过此功能简化应用程序的 I2C 总线控制部分。因为串行接口 IICA 的 SCLA 引脚和 SDAA 引脚用作漏极开路输出，所以串行时钟线和串行数据总线需要上拉电阻。
- 唤醒模式：在深度睡眠模式中，当接收到来自主控设备的扩展码或者本地站地址时，能通过产生中断请求信号（INTIICA）解除深度睡眠模式。通过 IICA 控制寄存器进行设定。

6.20 模数转换器（ADC）

本产品内置 12 位分辨率的模数转换器 SARADC，可将模拟输入转换为数字值，支持多达 16 个通道的 ADC 模拟输入（ANI0~ANI34）。该 ADC 含有以下的功能：

- 12 位分辨率、转换速率 1.42Msps。
- 触发方式：支持软件触发，硬件触发和待机状态下的硬件触发
- 通道选择：支持单通道选择和多通道扫描两种模式
- 转换模式：支持单次转换和连续转换
- 工作电压：支持 $1.8V \leq VDD \leq 3.6V$ 的工作电压范围
- 可检测内置基准电压（1.45V）和温度传感器。

ADC 能通过下述的模式组合设定各种 A/D 转换模式。

触发模式	软件触发	通过软件操作来开始转换。
	硬件触发无等待模式	通过检测硬件触发来开始转换。
	硬件触发等待模式	在切断电源的转换待机状态下，通过检测硬件触发来接通电源，在经过 A/D 电源稳定等待时间后自动开始转换。
通道选择模式	选择模式	选择 1 个通道的模拟输入，进行 A/D 转换。
	扫描模式	按顺序对 4 个通道的模拟输入进行 A/D 转换。能选择 ANI0~ANI15 中连续的 4 个通道作为模拟输入。
转换模式	单次转换模式	对所选通道进行 1 次 A/D 转换。
	连续转换模式	对所选通道进行连续的 A/D 转换，直到被软件停止为止。
采样时间/转换时间	采样时钟数/转换时钟数	采样时间可由寄存器设定，采样时钟数默认值为 13.5 个 clk，转换时钟数 Min 值为 31.5 个 clk。

6.21 比较器（CMP）

本产品内置两通道比较器 CMP1，具有以下功能：

- 能选择比较器高速模式、比较器低速模式或者比较器窗口模式。
- 能给基准电压选择外部基准电压输入和内部基准电压。
- 能选择噪声消除数字滤波器的消除宽度。
- 能检测比较器输出的有效边沿并且产生中断信号。
- 能检测比较器输出的有效边沿并且将事件信号输出到联动控制器。

6.22 两线串行调试端口（SW-DP）

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

6.23 安全功能

6.23.1 闪存 CRC 运算功能（高速 CRC、通用 CRC）

通过 CRC 运算检测闪存的数据错误。

能根据不同的用途和使用条件，分别使用以下 2 个 CRC。

- 高速 CRC：在初始化程序中，能停止 CPU 的运行并且高速检查整个代码闪存区。
- 通用 CRC：在 CPU 运行中，不限于代码闪存区而能用于多用途的检查。

6.23.2 RAM 奇偶校验错误检测功能

在读 RAM 数据时，检测奇偶校验错误。

6.23.3 SFR 保护功能

防止因 CPU 失控而改写重要的 SFR（Special Function Register）。

6.23.4 非法存储器存取检测功能

检测对非法存储器区域（没有存储器的区域或者存取受限的区域）的非法存取。

6.23.5 频率检测功能

能使用 timer4 单元自检测 CPU 或外围硬件时钟频率。

6.23.6 A/D 测试功能

通过对 A/D 转换器的正（+）基准电压、负（-）基准电压、模拟输入通道（ANI）、温度传感器输出电压以及内部基准电压进行 A/D 转换来对 A/D 转换器进行自检测。

6.23.7 输入/输出端口的数字输出信号电平检测功能

在输入/输出端口为输出模式时，能读引脚的输出电平。

6.24 按键功能

能通过按键中断输入引脚（KR4~KR5）输入下降沿，产生键中断（INTKR）。

6.25 蓝牙 BLE5.0 功能

BLE Core 是一个符合蓝牙智能规范的蓝牙基带控制器，负责分组编解码和帧调度。它执行链路层控制管理，支持主要的 BLE 状态，包括广告和连接。

7. 电气特性

7.1 典型应用外围电路

MCU 典型应用外围电路的器件连接参考如下：

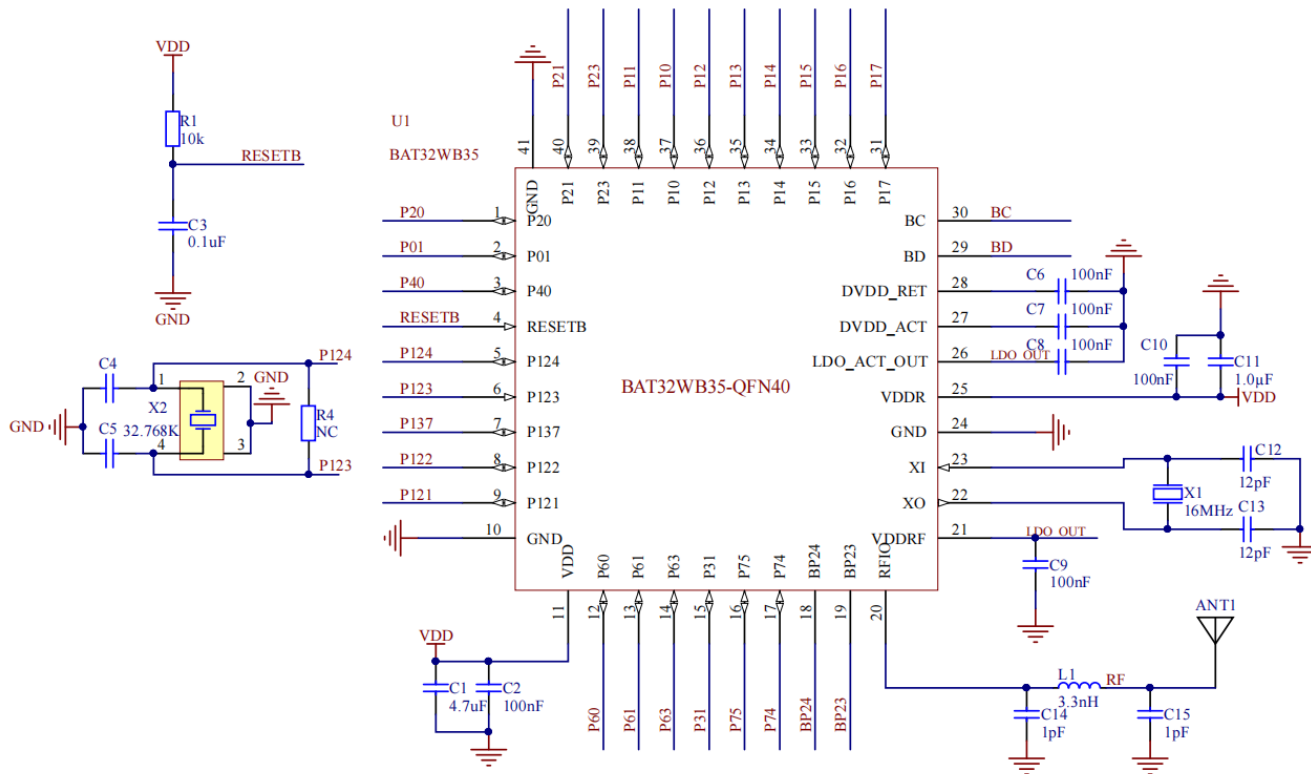


图 7-1：典型应用外围电路

7.2 绝对最大电压额定值

($T_A = -40 \sim +85^\circ\text{C}$)

项目	符号	条件	额定值	单位
电源电压	VDD		- 0.5~+3.9	V
RF 电压	VDDR		- 0.5~+3.9	V
输入电压	VI1	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、P137、EXCLK、EXCLKS、RESETB	- 0.3~VDD+0.3 ^{注1}	V
	V12	P60~P61(N 沟道漏极开路)	-0.3~+3.9	V
输出电压	VO	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、P137	- 0.3~VDD+0.3 ^{注1}	V
模拟输入电压	VAI	ANI0~ANI34	- 0.3~VDD+0.3 并且 - 0.3~AVREF(+)+0.3 ^{注1、2}	V

注：

- 1) 不超过 3.9V。
- 2) A/D 转换对象的引脚不能超过 AVREF(+)+0.3。

注意：

即使是各项目中的 1 个项目瞬间超过绝对最大额定值，也可能降低产品的质量。绝对最大额定值是可能给产品带来物理性损伤的额定值，必须在不超过额定值的状态下使用产品。

备注：

- 1) 在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。
- 2) AVREF(+): A/D 转换器的正 (+) 基准电压
- 3) 将 VSS 作为基准电压。

7.3 绝对最大电流额定值

($T_A = -40 \sim +85^\circ \text{C}$)

项目	符号	条件		额定值	单位
高电平输出电流	IOH1	每个引脚	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、P137	- 4	mA
		引脚合计 - 170mA	P01、P20~P21、P23、P40、P137	- 15	mA
			P10~P17、P31、P63、P74~P75	- 25	mA
	IOH2	每个引脚	P121~P124	- 3	mA
		引脚合计		- 15	mA
低电平输出电流	IOL1	每个引脚	P01、P10~P17、P20~P21、P23、P31、P40、P60~P61、P63、P74~P75、P121~P124、P137	12	mA
		引脚合计 170mA	P01、P20~P21、P23、P40、P137	35	mA
			P10~P17、P31、P60~P61、P63、P74~P75	45	mA
	IOL2	每个引脚	P121~P124	3	mA
		引脚合计		15	mA
工作环境温度	T_A	通常运行时		- 40~+85	$^\circ\text{C}$
		闪存编程时			
保存温度	Tstg			- 65~+150	$^\circ\text{C}$

注意：即使是各项目中的 1 个项目瞬间超过绝对最大额定值，也可能降低产品的质量。绝对最大额定值
是可能给产品带来物理性损伤的额定值，必须在不超过额定值的状态下使用产品。

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

7.4 振荡电路特性

7.4.1 X1, XT1 特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	谐振器	条件	MIN	TYP	MAX	单位
X1 时钟振荡频率(fx)	陶瓷谐振器/晶体谐振器	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	1.0	-	20.0	MHz
XT1 时钟振荡频率(fxt)	晶体谐振器	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	32	32.768	35	KHz

注：只表示振荡电路的频率容许范围，指令执行时间请参照 AC 特性。

请委托谐振器厂商给予安装电路后的评估，并且在确认振荡特性后使用。

7.4.2 内部振荡器特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

谐振器	条件	MIN	TYP	MAX	单位
高速内部振荡器的时钟频率(fIH) ^{注1,2}		1.0		64.0	MHz
高速内部振荡器的时钟频率精度	$T_A = -20 \sim +85^\circ\text{C}$	-1.0		+1.0	%
	$T_A = -40 \sim -20^\circ\text{C}$	-1.5 ^{注3}		+1.5 ^{注3}	%
低速内部振荡器的时钟频率(fIL)		10	15	20	KHz

注：

- 1) 通过选项字节选择高速内部振荡器的频率。
- 2) 只表示振荡电路的特性，指令执行时间请参照 AC 特性。
- 3) 低温规格值由设计保证，量产不测低温条件。

7.5 DC 特性

7.5.1 引脚特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	MIN	TYP	MAX	单位	
高电平输出电流 ^{注1}	IOH1	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、P137 单独 1 个引脚	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-3.0 ^{注2}	mA
		P01、P20~P21、P23、P40、P137 引脚合计（占空比 $\leq 70\%$ 时 ^{注3} ）	$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-12.0	mA
			$1.8\text{V} \leq \text{VDD} < 2.4\text{V}$			-6.0	mA
		P10~P17、P31、P63、P74~P75 引脚合计（占空比 $\leq 70\%$ 时 ^{注3} ）	$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-20.0	mA
	$1.8\text{V} \leq \text{VDD} < 2.4\text{V}$				-10.0	mA	
	引脚合计（占空比 $\leq 70\%$ 时 ^{注3} ）	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-32.0	mA	
	IOH2	P121 ~ P124 单独 1 个引脚	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-2.5 ^{注2}	mA
		引脚合计（占空比 $\leq 70\%$ 时 ^{注3} ）	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$			-10	mA

注：

- 1) 这是即使电流从 VDD 引脚流到输出引脚也保证器件工作的电流值。
- 2) 不能超过合计的电流值。
- 3) 这是“占空比 $\leq 70\%$ 条件”的输出电流值。

改为占空比 $> 70\%$ 的输出电流值能用以下的计算式进行计算（将占空比改为 n% 的情况）。

- 引脚合计的输出电流 = $(\text{IOH} \times 0.7) / (n \times 0.01)$

<计算例子> $\text{IOH} = -10.0\text{mA}$ 、 $n = 80\%$

引脚合计的输出电流 = $(-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7\text{mA}$

各引脚的电流不会因占空比而变，而且不会流过绝对最大额定值以上的电流。

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

(T_A=-40~+85°C、1.8V≤VDD≤3.6V、VSS=0V)

项目	符号	条件	MIN	TYP	MAX	单位
低电平输出电流 ^{注1}	IOL1	P01、P10~P17、P20~P21、P23、P31、P40、P60~P61、P63、P74~P75、P121~P124、P137 单独 1 个引脚	1.8V≤VDD≤3.6V		9 ^{注2}	mA
		P01、P20~P21、P23、P40、P137 引脚合计 (占空比≤70%时 ^{注3})	2.4V≤VDD≤3.6V		30	mA
			1.8V≤VDD<2.4V		15	mA
		P10~P17、P31、P60~P61、P63、P74~P75 引脚合计 (占空比≤70%时 ^{注3})	2.4V≤VDD≤3.6V		40	mA
	1.8V≤VDD<2.4V			20	mA	
	全部引脚合计 (占空比≤70%时 ^{注3})		1.8V≤VDD≤3.6V		70	mA
	IOL2	P121 ~ P124 单独 1 个引脚	1.8V≤VDD≤3.6V		2.5 ^{注2}	mA
		全部引脚合计 (占空比≤70%时 ^{注3})	1.8V≤VDD≤3.6V		10	mA

注：

- 1) 这是即使电流从输出引脚流到 VSS 引脚也保证器件工作的电流值。
- 2) 不能超过合计的电流值。
- 3) 这是“占空比≤70%条件”的输出电流值。

改为占空比 > 70% 的输出电流值能用以下的计算式进行计算 (将占空比改为 n% 的情况)。

- 引脚合计的输出电流 = (IOL × 0.7) / (n × 0.01)

<计算例子> IOL = 10.0mA、n = 80%

引脚合计的输出电流 = (10.0 × 0.7) / (80 × 0.01) ≈ 8.7mA

各引脚的电流不会因占空比而变，而且不会流过绝对最大额定值以上的电流。

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

 (T_A=-40~+85°C、1.8V≤VDD≤3.6V、VSS=0V)

项目	符号	条件	MIN	TYP	MAX	单位	
高电平输入电压	VIH1	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、EXCLK、EXCLKS、RESETB、P137	施密特输入	0.8VDD		VDD	V
	VIH2	P60~P61		0.7VDD		6.0	V
低电平输入电压	VIL1	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、EXCLK、EXCLKS、RESETB、P137	施密特输入	0		0.2VDD	V
	VIL2	P60~P61		0		0.3VDD	V

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

(T_A=-40 ~ +85°C、1.8V≤VDD≤3.6V、VSS=0V)

项目	符号	条件	MIN	TYP	MAX	单位
高电平输出电压	VOH1	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P121~P124、P137	2.4V ≤ VDD ≤ 3.6V、IOH1= - 3.0mA		VDD - 0.6	V
			1.8V ≤ VDD ≤ 3.6V、IOH1= - 2mA		VDD - 0.5	V
	VOH2	P121~P124	2.4V ≤ VDD ≤ 3.6V、IOH2= - 0.5mA		VDD - 0.6	V
			1.8V ≤ VDD ≤ 3.6V、IOH2= - 0.4mA		VDD - 0.5	V
低电平输出电压	VOL1	P01、P10~P17、P20~P21、P23、P31、P40、P60~P61、P63、P74~P75、P121~P124、P137	2.4V ≤ VDD ≤ 3.6V、IOL1=9.0mA		0.4	V
			1.8V ≤ VDD ≤ 3.6V、IOL1=6.0mA		0.4	V
	VOL2	P121~P124	2.4V ≤ VDD ≤ 3.6V、IOL2=2.5mA		0.4	V
			1.8V ≤ VDD ≤ 3.6V、IOL2=1.5mA		0.4	V

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

 (T_A=-40~+85°C、1.8V≤VDD≤3.6V、VSS=0V)

项目	符号	条件	MIN	TYP	MAX	单位	
高电平输入漏电流	ILIH1	P01、P10~P17、P20~P21、P23、P31、P40、P60~P61、P63、P74~P75、P121~P124、P137	VI=VDD		1	μA	
	ILIH2	RESETB	VI=VDD		1	μA	
	ILIH3	P121~P124 (X1、X2、EXCLK、XT1、XT2、EXCLKS)	VI=VDD，输入端口和外部时钟输入时		1	μA	
VI=VDD，连接谐振器时				10	μA		
低电平输入漏电流	ILIL1	P01、P10~P17、P20~P21、P23、P31、P40、P60~P61、P63、P74~P75、P121~P124、P137	VI=VSS		-1	μA	
	ILIL2	RESETB	VI=VSS		-1	μA	
	ILIL3	P121~P124 (X1、X2、EXCLK、XT1、XT2、EXCLKS)	VI=VSS，输入端口和外部时钟输入时		-1	μA	
VI=VSS，连接谐振器时				-10	μA		
内部上拉电阻	RU	P01、P10~P17、P20~P21、P23、P31、P40、P63、P74~P75、P137	VI=VSS，输入端口时	10	30	100	kΩ
内部下拉电阻	RD	P01、P10~P17、P20~P21、P23、P31、P63、P74~P75、P137	VI=VDD，输入端口时	10	30	100	kΩ

备注：在没有特别指定的情况下，复用引脚的特性和端口引脚的特性相同。

7.5.2 电源电流特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件		MIN.	TYP.	MAX.	单位		
电源电流 ^{注1}	IDD1	运行模式	高速内部振荡器	$f_{\text{HOCO}}=64\text{MHz}$ 、 $f_{\text{IH}}=64\text{MHz}$ ^{注3}		2.4	6.9	mA	
				$f_{\text{HOCO}}=32\text{MHz}$ 、 $f_{\text{IH}}=32\text{MHz}$ ^{注3}		1.6	4.6		
			高速主系统时钟	$f_{\text{MX}}=20\text{MHz}$ ^{注2}	输入方波		1.0	3.1	mA
					连接晶振		1.0	3.1	
		副系统时钟运行	$f_{\text{SUB}}=32.768\text{kHz}$ ^{注4}	输入方波		70	85	uA	
				连接晶振		70	85		
		低速内部振荡器	$f_{\text{IL}}=15\text{kHz}$ ^{注8}			70	85	uA	
		IDD2	睡眠模式	高速内部振荡器		$f_{\text{HOCO}}=64\text{MHz}$ 、 $f_{\text{IH}}=64\text{MHz}$ ^{注3}		1.8	4.0
	$f_{\text{HOCO}}=32\text{MHz}$ 、 $f_{\text{IH}}=32\text{MHz}$ ^{注3}						1.2	2.6	
	高速主系统时钟			$f_{\text{MX}}=20\text{MHz}$ ^{注2}	输入方波		0.7	1.8	mA
					连接晶振		0.7	1.8	
	副系统时钟运行			$f_{\text{SUB}}=32.768\text{kHz}$ ^{注5}	输入方波		0.7	12.5	uA
					连接晶振		0.7	12.5	
	低速内部振荡器	$f_{\text{IL}}=15\text{kHz}$ ^{注8}			0.9	13	uA		
IDD3 ^{注6}	深睡眠模式 ^{注7}			$T_A = -40^\circ\text{C} \sim +70^\circ\text{C}$ VDD=3.0V		0.45	3.0	uA	
				$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ VDD=3.0V		0.45	5.0		

注：

- 1) 这是流过 VDD 的电流，包含输入引脚固定为 VDD 或者 VSS 状态的输入漏电流，不包含流过 VDDR 的电流（VDDR 为 BLE 模块供电电源）。TYP.值：CPU 处于乘法运算指令执行(IDD1)，且不包含外围工作电流。MAX.值：CPU 处于全指令执行动作(IDD1)，且包含外围工作电流，但不包含流到 A/D 转换器、LVD 电路、I/O 端口以及内部上拉或者下拉电阻的电流，也不包含改写数据闪存时的电流。
- 2) 这是高速内部振荡器和副系统时钟停止振荡的情况
- 3) 这是高速主系统时钟和副系统时钟停止振荡的情况。
- 4) 这是高速内部振荡器和高速主系统时钟停止振荡的情况。
- 5) 这是高速内部振荡器和高速主系统时钟停止振荡的情况。包含流到 RTC 的电流，但是不包含流到 15 位间隔定时器和看门狗定时器的电流。
- 6) 不包含流到 RTC、15 位间隔定时器和看门狗定时器的电流，禁用芯片所有外设。
- 7) 有关深度睡眠模式中副系统时钟运行时的电流值，请参照睡眠模式中副系统时钟运行时的电流值。
- 8) 这是高速内部振荡器，高速主系统时钟和副系统时钟停止振荡的情况。

备注：

- 1) f_{HOCO} ：高速内部振荡器的时钟频率， f_{IH} ：高速内部振荡器提供的系统时钟频率。
- 2) f_{SUB} ：外部副系统时钟频率（XT1/XT2 时钟振荡频率）。
- 3) f_{MX} ：外部主系统时钟频率（X1/X2 时钟振荡频率）。
- 4) f_{IL} ：低速内部振荡器的时钟频率。
- 5) TYP. 值的温度条件是 $T_A=25^\circ\text{C}$

(T_A=-40~+85°C、1.8V≤VDD≤3.6V、VSS=0V)

参数	符号	条件	MIN.	TYP.	MAX.	Unit	
低速内部振荡器工作电流	IFIL ^{注1}			0.2		uA	
RTC 工作电流	IRTC ^{注1,2,3}			0.04		uA	
15 位间隔定时器工作电流	IIT ^{注1,2,4}			0.02		uA	
看门狗定时器工作电流	IWDT ^{注1,2,5}	f _{IL} =15kHz		0.22		uA	
A/D 转换器工作电流	IADC ^{注1,6}	ADC HS 模式@64MHz		2.2		mA	
		ADC HS 模式@4MHz		1.3		mA	
		ADC LC 模式@24MHz		1.1		mA	
		ADC LC 模式@4MHz		0.8		mA	
比较器工作电流	ICMP ^{注1,9}	每个通道	不使用内部基准电压		60	100	uA
			使用内部基准电压		80	140	uA
LVD 工作电流	ILVD ^{注1,7}			0.08		uA	

注：

- 1) 这是流过 VDD 的电流。
- 2) 这是高速内部振荡器和高速系统时钟停止振荡的情况。
- 3) 这是只流到实时时钟 (RTC) 的电流 (不包含低速内部振荡器和 XT1 振荡电路的工作电流)。在运行模式或者睡眠模式中实时时钟运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 加上 IRTC 的值。另外, 当选择低速内部振荡器时, 必须加上 IFIL。副系统时钟运行时的 IDD2 包含实时时钟的工作电流。
- 4) 这是只流到 15 位间隔定时器的电流 (不包含低速内部振荡器和 XT1 振荡电路的工作电流)。在运行模式或者睡眠模式中 15 位间隔定时器运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 加上 IIT 的值。另外, 当选择低速内部振荡器时, 必须加上 IFIL。
- 5) 这是只流到看门狗定时器的电流 (包含低速内部振荡器的工作电流)。在看门狗定时器运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 或者 IDD3 加上 IWDT 的值。
- 6) 这是只流到 A/D 转换器的电流。在运行模式或者睡眠模式中 A/D 转换器运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 加上 IADC 的值。
- 7) 这是只流到 LVD 电路的电流。在 LVD 电路运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 或者 IDD3 加上 ILVD 的值。
- 8) 这是只流到比较器电路的电流。在比较器电路运行的情况下, 微控制器的电流值为 IDD1 或者 IDD2 或者 IDD3 加上 ICMP 的值。

备注：

- 1) f_{IL} : 低速内部振荡器的时钟频率
- 2) TYP. 值的温度条件是 T_A=25°C

7.6 AC 特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件		MIN	TYP	MAX	单位
指令周期 (最短指令执行时间)	TCY	主系统时钟 (fMAIN) 运行	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	0.015625		1	μs
		副系统时钟 (fSUB) 运行	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	28.5	30.5	31.3	μs
外部系统时钟频率	fEX	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		1.0		20.0	MHz
	fEXS	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		32.0		35.0	KHz
外部系统时钟输入 的高低电平宽度	tEXH、 tEXL	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		24			ns
	tEXHS、 tEXLS	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		13.7			μs
TI01 ~ TI03、 TI10 ~ TI13、输 入的高低电平宽度	tTIH、tTIL	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$1/f_{\text{MCK}} + 10$			ns
TO00 ~ TO03、 TO10 ~ TO13、 的输出频率	fTO	$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$				8	MHz
		$1.8\text{V} \leq \text{VDD} < 2.4\text{V}$				4	MHz
CLKBUZ0、 CLKBUZ1 的输出 频率	fPCL	$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$				8	MHz
		$1.8\text{V} \leq \text{VDD} < 2.4\text{V}$				4	MHz
中断输入的高低电 平宽度	tINTH、 tINTL	INTP0 ~ INTP3	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	1			μs
键中断输入的高低 电平宽度	tKR	KR4 ~ KR5	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	250			ns
RESETB 的低电平 宽度	tRSL			10			μs

备注: f_{MCK} : timer4 单元的运行时钟频率

7.7 BLE RF Transceiver 特性

7.7.1 RX Characteristics

Parameters	Symbol	Min	Typ	Max	Unit
Sensitivity	P_{MIN}		-94		dBm
Sensitivity(dirty on)	P_{MIN}		-93		dBm
Maximum input power	P_{MAX}		0		dBm
In-band blocking	Co-channel interference	CI0	7		dB
	Interferer at $f_{offs}= +1\text{MHz}$	CI1	-1		dB
	Interferer at $f_{offs}= -1\text{MHz}$	CI1	-6		dB
	Interferer at $f_{offs}= +2\text{MHz}$	CI2	-38		dB
	Interferer at $f_{offs}= -2\text{MHz}$	CI2	-35		dB
	Interferer at $f_{offs}= +3\text{MHz}$	CI3	-42		dB
	Interferer at $f_{offs}= -3\text{MHz}$	CI3	-33		dB
	Interferer at image channel (Fimage)	CI4	-29		dB
	Interferer at image channel (Fimage+1MHz)	CI5	-33		dB
Interferer at image channel (Fimage-1MHz)	CI5	-32		dB	
Out-of-band blocking	$f= 30\text{--}2000\text{MHz}$		>-25		dB
	$f= 2000\text{--}2399\text{ MHz}$		>-30		dB
	$f= 2484\text{--}3000\text{ MHz}$		>-30		dB
	$f= 3000\text{--}12750\text{ MHz}$		>-25		dB
Intermodulation Performance for Wanted Signal at -64dBm and 1 Mbps BLE, 3rd, 4th and 5th offset channel			>-35		dB
Upper limit of input power range over which RSSI resolution is maintained	P_{RSSI_MAX}		-20		dBm

$T_A=25^\circ\text{C}$, $V_{DDR}=3.0\text{V}$, unless otherwise specified.

7.7.2 TX Characteristics

Parameters		Symbol	Min	Typ	Max	Unit
Output power		P _{TX}	-20		+5	dBm
TX RF Output Steps				3		dB
Average Frequency deviation for 10101010 pattern		ΔF2AVG		238		KHz
Average Frequency deviation for 11110000 pattern		ΔF1AVG		260		KHz
Eye opening = ΔF2AVG/ΔF1AVG		EO	0.88	0.91	0.94	
Frequency Accuracy			-10		10	KHz
Maximum Frequency Drift			-6		5	KHz
Initial Frequency drift			-5		5	KHz
Drift rate		FDR	-5.5		4.5	KHz/50μs
Spurious Emissions	F < 1 GHz			-68		dBm
	F > 1 GHz including harmonics			-48		dBm
In-band Emissions	< f ± 2MHz (f=2400~2483.5MHz, P _{tx} =5dBm)			-45		dBm
	> f ± 3MHz (f=2400~2483.5MHz, P _{tx} =5dBm)			-49		dBm

T_A=25°C, VDDR=3.0V, unless otherwise specified.

7.7.3 DC Characteristics

Parameter	Ratings			Unit
	Min.	Typ.	Max.	
Rx Mode, 1Mbps mode		12		mA
TX mode, 0 dBm output power		13		mA
Hibernate mode		2	9	uA
Sleep mode (BLE linked)		5	9	uA

T_A=25°C, VDDR=3.0V, unless otherwise specified.

7.8 外围功能特性

7.8.1 通用接口单元

1) UART 模式

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	条件	规格值		单位
		MIN	MAX	
传送速率	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$f_{\text{MCK}}/6$	bps
		最大传送速率的理论值 $f_{\text{MCK}} = f_{\text{CLK}}$	10.6	Mbps

2) 三线 SPI 模式（主控模式，内部时钟输出）

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	$-40 \sim +85^\circ\text{C}$		单位
			MIN	MAX	
SCLKp 周期时间	t_{KCY1}	$t_{\text{KCY1}} \geq 2/f_{\text{CLK}}$	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	41.67	ns
			$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$	65	ns
			$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	125	ns
SCLKp 高/低电平宽度	t_{KH1} 、 t_{KL1}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$t_{\text{KCY1}}/2-5$		ns
		$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$t_{\text{KCY1}}/2-10$		ns
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$t_{\text{KCY1}}/2-19$		ns
SDIp 准备时间(对 SCLKp \uparrow)	t_{SIK1}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	17		ns
		$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$	20		ns
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	28		ns
SDIp 保持时间(对 SCLKp \uparrow)	t_{KSI1}	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	5		ns
SCLKp \downarrow →SDOp 输出延迟时间	t_{KSO1}	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ C=20pF ^{注1}		5	ns

注 1.: C 是 SCLKp、SDOp 输出线的负载电容。

注意：通过端口输入模式寄存器和端口输出模式寄存器，将 SDIp 引脚选择为通常的输入缓冲器并且将 SDOp 引脚和 SCLKp 引脚选择为通常的输出模式。

3) 三线 SPI 模式（从属模式，外部时钟输入）

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}, \text{VSS} = 0\text{V})$

项目	符号	条件	-40 ~ +85°C		单位		
			MIN	MAX			
SCLKp 周期时间	t_{KCY2}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$16\text{MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns	
			$f_{\text{MCK}} \leq 16\text{MHz}$	$6/f_{\text{MCK}}$		ns	
		$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$6/f_{\text{MCK}}$ and 500			ns
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$6/f_{\text{MCK}}$ and 750			ns
SCLKp 高/低电平宽度	t_{KH2} 、 t_{KL2}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$t_{\text{KCY}}/2-8$		ns	
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$t_{\text{KCY}}/2-18$		ns	
SDIp 准备时间 (对 SCLKp↑)	t_{SIK2}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$1/f_{\text{MCK}}+20$		ns	
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$1/f_{\text{MCK}}+30$		ns	
SDIp 保持时间 (对 SCLKp↑)	t_{KSI2}	$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$		$1/f_{\text{MCK}}+31$		ns	
SCLKp↓→SDOp 输出延迟时间	t_{KSO2}	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V} \quad C=30\text{pF}$ ^{注1}			$2/f_{\text{MCK}}+44$	ns	
		$2.4\text{V} \leq \text{VDD} \leq 3.6\text{V} \quad C=30\text{pF}$ ^{注1}			$2/f_{\text{MCK}}+75$	ns	
		$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V} \quad C=30\text{pF}$ ^{注1}			$2/f_{\text{MCK}}+100$	ns	

注 1: C 是 SCLKp、SDOp 输出线的负载电容。

注意: 通过端口输入模式寄存器和端口输出模式寄存器, 将 SDIp 引脚和 SCLKp 引脚选择为通常的输入缓冲器并且将 SDOp 引脚选择为通常的输出模式。

4) 四线 SPI 模式（从属模式，外部时钟输入）

 $(T_A = -40 \sim +85^\circ\text{C}, 1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}, \text{VSS} = 0\text{V})$

项目	符号	条件	-40 ~ +85° C		单位	
			MIN	MAX		
SSI00 建立时间	t_{SSIK}	DAPmn=0	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	120		ns
			$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	200		ns
		DAPmn=1	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$1/f_{\text{MCK}}+120$		ns
			$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$1/f_{\text{MCK}}+200$		ns
SSI00 保持时间	t_{KSSI}	DAPmn=0	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$1/f_{\text{MCK}}+120$		ns
			$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	$1/f_{\text{MCK}}+200$		ns
		DAPmn=1	$2.7\text{V} \leq \text{VDD} \leq 3.6\text{V}$	120		ns
			$1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$	200		ns

注意: 通过端口输入模式寄存器和端口输出模式寄存器, 将 SDIp 引脚和 SCLKp 引脚选择为通常的输入缓冲器并且将 SDOp 引脚选择为通常的输出模式。

5) 简易 IIC 模式

 ($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$, $V_{SS} = 0\text{V}$)

项目	符号	条件	$-40 \sim +85^\circ\text{C}$		单位
			MIN	MAX	
SCLr 时钟频率	f_{SCL}	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega$		1000 ^{注1}	KHz
		$1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 100\text{ pF}, R_b = 3\text{ k}\Omega$		400 ^{注1}	KHz
		$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$ $C_b = 100\text{ pF}, R_b = 5\text{ k}\Omega$		300 ^{注1}	KHz
当 SCLr 为低时 保持时间	t_{LOW}	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega$	475		ns
		$1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 100\text{ pF}, R_b = 3\text{ k}\Omega$	1150		ns
		$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$ $C_b = 100\text{ pF}, R_b = 5\text{ k}\Omega$	1550		ns
当 SCLr 为高时 保持时间	t_{HIGH}	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega$	475		ns
		$1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 100\text{ pF}, R_b = 3\text{ k}\Omega$	1150		ns
		$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$ $C_b = 100\text{ pF}, R_b = 5\text{ k}\Omega$	1550		ns
数据建立时间 (接收)	$t_{\text{SU}}: \text{DAT}$	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega$	$1/f_{\text{MCK}} + 85$ ^{注2}		ns
		$1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 100\text{ pF}, R_b = 3\text{ k}\Omega$	$1/f_{\text{MCK}} + 145$ ^{注2}		ns
		$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$ $C_b = 100\text{ pF}, R_b = 5\text{ k}\Omega$	$1/f_{\text{MCK}} + 230$ ^{注2}		ns
数据保持时间 (发送)	$t_{\text{HD}}: \text{DAT}$	$2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 50\text{ pF}, R_b = 2.7\text{ k}\Omega$		305	ns
		$1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ $C_b = 100\text{ pF}, R_b = 3\text{ k}\Omega$		355	ns
		$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$ $C_b = 100\text{ pF}, R_b = 5\text{ k}\Omega$		405	ns

注:

- 1) 必须至少设定为 $f_{\text{MCK}}/4$ 。
- 2) f_{MCK} 的设定值不能超过 SCLr="L" 和 SCLr="H" 的保持时间。

7.8.2 串行接口 IICA

1) I²C 标准模式

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	规格值		单位
			MIN	MAX	
SCLA0 时钟频率	f _{SCL}	标准模式: f _{CLK} ≥ 1MHz		100	kHz
启动条件的建立时间	t _{SU} : STA		4.7		μs
启动条件的保持时间 ^{注1}	t _{HD} : STA		4.0		μs
当 SCLA0 为低时 保持时间	t _{LOW}		4.7		μs
当 SCLA0 为高时 保持时间	t _{HIGH}		4.0		μs
数据建立时间 (接收)	t _{SU} : DAT		250		ns
数据保持时间 (发送) ^{注2}	t _{HD} : DAT		0	3.45	μs
停止条件的建立时间	t _{SU} : STO		4.0		μs
总线空闲时间	t _{BUF}		4.7		μs

注:

- 在产生开始条件或重新开始条件后生成第一个时钟脉冲。
- 在正常传送期间需要保证 t_{HD}: DAT 的最大值(MAX.)，在进行应答 (ACK) 时需要等待。

备注: 各模式的 C_b (通信线电容) 的 MAX.值和此时的 R_b (通信线的上拉电阻值) 的值如下:

标准模式: C_b=400pF、R_b=2.7kΩ

2) I²C 快速模式

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	规格值		单位
			MIN	MAX	
SCLA0 时钟频率	f _{SCL}	快速模式: f _{CLK} ≥ 3.5MHz		400	kHz
启动条件的建立时间	t _{SU} : STA		0.6		μs
启动条件的保持时间 ^{注1}	t _{HD} : STA		0.6		μs
当 SCLA0 为低时 保持时间	t _{LOW}		1.3		μs
当 SCLA0 为高时 保持时间	t _{HIGH}		0.6		μs
数据建立时间 (接收)	t _{SU} : DAT		100		ns
数据保持时间 (发送) ^{注2}	t _{HD} : DAT		0	0.9	μs
停止条件的建立时间	t _{SU} : STO		0.6		μs
总线空闲时间	t _{BUF}		1.3		μs

注:

- 在产生开始条件或重新开始条件后生成第一个时钟脉冲。
- 在正常传送期间需要保证 t_{HD}: DAT 的最大值(MAX.)，在进行应答 (ACK) 时需要等待。

备注:

各模式的 C_b (通信线电容) 的 MAX.值和此时的 R_b (通信线的上拉电阻值) 的值如下:

快速模式: C_b=320pF、R_b=1.1kΩ

3) I²C 增强型快速模式

 (T_A=-40~+85°C、1.8V≤VDD≤3.6V、VSS=0V)

项目	符号	条件	规格值		单位
			MIN	MAX	
SCLA0 时钟频率	f _{SCL}	增强型快速模式:f _{CLK} ≥10MHz		1000	kHz
启动条件的建立时间	t _{SU} : STA		0.26		μs
启动条件的保持时间 ^{注1}	t _{HD} : STA		0.26		μs
当 SCLA0 为低时 保持时间	t _{LOW}		0.5		μs
当 SCLA0 为高时 保持时间	t _{HIGH}		0.26		μs
数据建立时间 (接收)	t _{SU} : DAT		50		ns
数据保持时间 (发送) ^{注2}	t _{HD} : DAT		0	0.45	μs
停止条件的建立时间	t _{SU} : STO		0.26		μs
总线空闲时间	t _{BUF}		0.5		μs

注:

- a) 在产生开始条件或重新开始条件后生成第一个时钟脉冲。
- b) 在正常传送期间需要保证 t_{HD}: DAT 的最大值(MAX.), 在进行应答 (ACK) 时需要等待。

 备注: 各模式的 C_b (通信线电容) 的 MAX.值和此时的 R_b (通信线的上拉电阻值) 的值如下:

 增强型快速模式: C_b=120pF、R_b=1.1kΩ

7.9 模拟特性

7.9.1 A/D 转换器特性

A/D 转换器特性的区分

输入通道	基准电压	基准电压 (+)=AV _{REFP} 基准电压 (-)=AV _{REFM}	基准电压 (+)=VDD 基准电压 (-)=VSS
ANI0~ ANI34		参照 7.7.1(1)。	参照 7.7.1(2)。
内部基准电压, 温度传感器的输出电压			

1) 选择基准电压(+)=AV_{REFP}/ANI0、基准电压(-)=AV_{REFM}/ANI1 的情况

(T_A=-40~+85°C、1.8V≤AV_{REFP}≤VDD≤3.6V、VSS=0V、基准电压(+)=AV_{REFP}、基准电压(-)=AV_{REFM}=0V)

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES				12		bit
综合误差	AINL	12 位分辨率	1.8V ≤ AV _{REFP} ≤ 3.6V		3		LSB
转换时间 ^{注3}	t _{CONV}	12 位分辨率 转换对象: ANI2~ ANI14	1.8V ≤ AV _{REFP} ≤ 3.6V	45			T _{mclk}
		12 位分辨率 转换对象: 内部基准电压、温 度传感器的输出电压	1.8V ≤ AV _{REFP} ≤ 3.6V	72			T _{mclk}
零刻度误差 注1	E _{ZS}	12 位分辨率	1.8V ≤ AV _{REFP} ≤ 3.6V		0		LSB
满刻度误差 注1	E _{FS}	12 位分辨率	1.8V ≤ AV _{REFP} ≤ 3.6V		0		LSB
积分线性误差 注1	ILE	12 位分辨率	1.8V ≤ AV _{REFP} ≤ 3.6V			±1	LSB
微分线性误差 注1	DLE	12 位分辨率	1.8V ≤ AV _{REFP} ≤ 3.6V			±1.5	LSB
模拟输入电压	V _{AIN}	ANI2~ ANI34		0		AV _{REFP}	V
		内部基准电压 (1.8V ≤ VDD ≤ 3.6V)		V _{BGR} ^{注2}			V
		温度传感器的输出电压 (1.8V ≤ VDD ≤ 3.6V)		V _{TMPS25} ^{注2}			V

注:

- 不包含量化误差 (±1/2 LSB)。
- 请参照“温度传感器/内部基准电压的特性”。
- T_{mclk} 为 AD 的动作时钟周期, 最大动作频率为 64MHz。

2) 选择基准电压 (+)=VDD、基准电压 (-)=VSS 的情况

 (T_A=-40~+85°C、1.8V ≤ V_{DD} ≤ 3.6V、V_{SS}=0V、基准电压 (+)=V_{DD}、基准电压 (-)=V_{SS})

项目	符号	条件		MIN.	TYP.	MAX.	单位
分辨率	RES				12		bit
综合误差 ^{注1}	AINL	12 位分辨率	1.8V ≤ VDD ≤ 3.6V		6		LSB
转换时间 ^{注3}	t _{CONV}	12 位分辨率 转换对象: ANI0~ANI34	1.8V ≤ VDD ≤ 3.6V	45			Tmclk
		12 位分辨率 转换对象: 内部基准电压、温度传感器的输出电压	1.8V ≤ VDD ≤ 3.6V	72			Tmclk
零刻度误差 ^{注1}	E _{ZS}	12 位分辨率	1.8V ≤ VDD ≤ 3.6V		0		LSB
满刻度误差 ^{注1}	E _{FS}	12 位分辨率	1.8V ≤ VDD ≤ 3.6V		0		LSB
积分线性误差 ^{注1}	ILE	12 位分辨率	1.8V ≤ VDD ≤ 3.6V			±2	LSB
微分线性误差 ^{注1}	DLE	12 位分辨率	1.8V ≤ VDD ≤ 3.6V			±3	LSB
模拟输入电压	V _{AIN}	ANI0~ANI34		0		VDD	V
		内部基准电压 (1.8V ≤ VDD ≤ 3.6V)		V _{BGR} ^{注2}			V
		温度传感器的输出电压 (1.8V ≤ VDD ≤ 3.6V)		V _{TMP25} ^{注2}			V

注:

- a) 不包含量化误差 (±1/2 LSB)。
- b) 请参照“温度传感器/内部基准电压的特性”。
- c) Tmclk 为 AD 的动作时钟周期, 最大动作频率为 64MHz。

7.9.2 温度传感器/内部基准电压的特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	MIN	TYP	MAX	单位
温度传感器的输出电压	$V_{\text{TMP}S25}$	ADS 寄存器=80H、 $T_A = +25^\circ\text{C}$		1.09		V
内部基准电压 ^{注1}	V_{BGR}	ADS 寄存器=81H	1.38	1.45	1.5	V
温度系数	$F_{\text{VTMP}S}$	取决于温度传感器电压的温度		-3.5		$\text{mV}/^\circ\text{C}$
运行稳定等待时间	t_{AMP}		5			μs

注 1：低温规格值由设计保证，量产不测低温条件。

7.9.3 比较器

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq \text{VDD} \leq 3.6\text{V}$ 、 $\text{VSS} = 0\text{V}$)

项目	符号	条件	MIN	TYP	MAX	单位
输入偏差电压	V_{IOCOMP}			± 10	± 40	mV
输入电压范围	I_{VCOMP}		0		VDD	V
内部基准电压偏差	ΔV_{IREF}	CmRVM 寄存器 : 7FH ~ 80H ($m = 0, 1$)			± 2	LSB
		其他			± 1	LSB
响应时间	$t_{\text{CR}}, t_{\text{CF}}$	输入振幅 $\pm 100\text{mV}$		70	150	ns
运行稳定时间 ^{注1}	t_{CMP}	CMPn=0->1	VDD= 2.7~ 3.6V		1	μs
			VDD=1.8 ~ 2.7V		3	
基准电压稳定时间	t_{VR}	CVRE=0->1 ^{注2}			20	μs
工作电流	I_{CMPDD}	Separately, it is defined as the operation current of peripheral functions				

注 1：从比较器动作使能 (CMPnEN=0 → 1) 到满足 CMP 的各项 DC/AC 式样要求所需要的时间。

注 2：内部基准电压发生器使能 (by setting the CVREm bit to 1; $m = 0$ to 1) 后，经过基准电压稳定时间，才可以使能比较器输出 (CnOE bit = 1; $n = 0$ to 1)

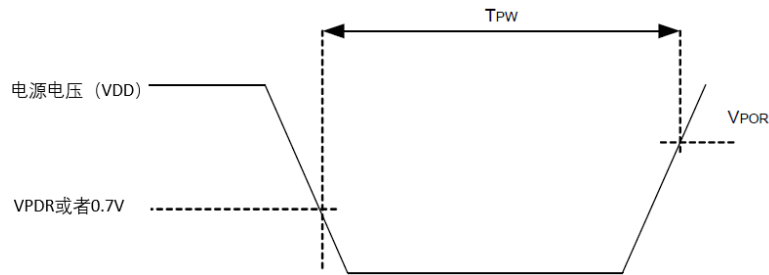
注 3：比较器无输出引脚，可使用内部比较中断功能。

7.9.4 POR 电路特性

($T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{SS} = 0\text{V}$)

项目	符号	条件	MIN	TYP	MAX	单位
检测电压	V_{POR}	电源电压上升时		1.50	1.75	V
	V_{PDR}	电源电压下降时	1.37	1.45	1.53	V
最小脉宽 ^{注1}	T_{PW}		300			μs

注 1: 这是在 V_{DD} 低于 V_{PDR} 时 POR 复位所需的时间。另外, 在深度睡眠 模式中通过设定时钟运行状态控制寄存器 (CSC) 的 bit0 (HIOSSTOP) 和 bit7 (MSTOP) 停止主系统时钟 (f_{MAIN}) 的振荡时, 是从 V_{DD} 低于 0.7V 到回升超过 V_{POR} 为止的 POR 复位所需的时间。



7.9.5 LVD 电路特性

1) 复位模式和中断模式

($T_A = -40 \sim +85^\circ\text{C}$ 、 $V_{PDR} \leq V_{DD} \leq 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$)

项目	符号	条件	MIN	TYP	MAX	单位
检测电压	VLVD2	电源电压上升时	3.07	3.13	3.19	V
		电源电压下降时	3.00	3.06	3.12	V
	VLVD3	电源电压上升时	2.96	3.02	3.08	V
		电源电压下降时	2.90	2.96	3.02	V
	VLVD4	电源电压上升时	2.86	2.92	2.97	V
		电源电压下降时	2.80	2.86	2.91	V
	VLVD5	电源电压上升时	2.76	2.81	2.87	V
		电源电压下降时	2.70	2.75	2.81	V
	VLVD6	电源电压上升时	2.66	2.71	2.76	V
		电源电压下降时	2.60	2.65	2.70	V
	VLVD7	电源电压上升时	2.56	2.61	2.66	V
		电源电压下降时	2.50	2.55	2.60	V
	VLVD8	电源电压上升时	2.45	2.50	2.55	V
		电源电压下降时	2.40	2.45	2.50	V
	VLVD9	电源电压上升时	2.05	2.09	2.13	V
		电源电压下降时	2.00	2.04	2.08	V
	VLVD10	电源电压上升时	1.94	1.98	2.02	V
		电源电压下降时	1.90	1.94	1.98	V
VLVD11	电源电压上升时	1.84	1.88	1.91	V	
	电源电压下降时	1.80	1.84	1.87	V	
最小脉宽	t_{LW}		300			μs
检测延迟					300	μs

2) 中断和复位模式

 (T_A=-40~+85°C、V_{PDR} ≤ VDD ≤ 3.6V、VSS=0V)

项目	符号	条件	MIN.	TYP.	MAX.	单位	
中断 & 复位 模式	VLVDA0	VPOC2、VPOC1、VPOC0=0、0、0，下降复位电压	1.60	1.63	1.66	V	
	VLVDA1	LVIS1、LVIS0=1、0	上升复位解除电压	1.74	1.77	1.81	V
			下降中断电压	1.70	1.73	1.77	V
	VLVDA2	LVIS1、LVIS0=0、1	上升复位解除电压	1.84	1.88	1.91	V
			下降中断电压	1.80	1.84	1.87	V
	VLVDA3	LVIS1、LVIS0=0、0	上升复位解除电压	2.86	2.92	2.97	V
			下降中断电压	2.80	2.86	2.91	V
	VLVDB0	VPOC2、VPOC1、VPOC0=0、0、1，下降复位电压	1.80	1.84	1.87	V	
	VLVDB1	LVIS1、LVIS0=1、0	上升复位解除电压	1.94	1.98	2.02	V
			下降中断电压	1.90	1.94	1.98	V
	VLVDB2	LVIS1、LVIS0=0、1	上升复位解除电压	2.05	2.09	2.13	V
			下降中断电压	2.00	2.04	2.08	V
	VLVDB3	LVIS1、LVIS0=0、0	上升复位解除电压	3.07	3.13	3.19	V
			下降中断电压	3.00	3.06	3.12	V
	VLVDC0	VPOC2、VPOC1、VPOC0=0、1、0，下降复位电压	2.40	2.45	2.50	V	
	VLVDC1	LVIS1、LVIS0=1、0	上升复位解除电压	2.56	2.61	2.66	V
			下降中断电压	2.50	2.55	2.60	V
	VLVDC2	LVIS1、LVIS0=0、1	上升复位解除电压	2.66	2.71	2.76	V
			下降中断电压	2.60	2.65	2.70	V
	VLVDD0	VPOC2、VPOC1、VPOC0=0、1、1，下降复位电压	2.70	2.75	2.81	V	
VLVDD1	LVIS1、LVIS0=1、0	上升复位解除电压	2.86	2.92	2.97	V	
		下降中断电压	2.80	2.86	2.91	V	
VLVDD2	LVIS1、LVIS0=0、1	上升复位解除电压	2.96	3.02	3.08	V	
		下降中断电压	2.90	2.96	3.02	V	

7.9.6 电源电压的上升斜率特性

 (T_A=-40~+85°C、VSS=0V)

项目	符号	条件	MIN.	TYP.	MAX.	单位
电源电压的上升斜率	SVDD				54	V/ms

7.10 Memory 特性

7.10.1 Flash Memory

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$)

Symbol	Parameter	Conditions	MIN	MAX	Unit
T_{prog}	Word Program(32bit)	$T_a = -40 \sim +85^\circ\text{C}$	24	30	μs
T_{erase}	Sector erase(512B)	$T_a = -40 \sim +85^\circ\text{C}$	4	5	ms
	Chip erase	$T_a = -40 \sim +85^\circ\text{C}$	20	40	ms
N_{END}	Endurance	$T_a = -40 \sim +85^\circ\text{C}$	100		kcycle
t_{RET}	Data retention	100 kcycle(note2) at $T_a = 85^\circ\text{C}$	20		Years

Note1: Data based on characterization results, not tested in production.

Note2: Cycling performed over the whole temperature range.

7.10.2 RAM Memory

($T_A = -40 \sim +85^\circ\text{C}$ 、 $1.8\text{V} \leq V_{DD} \leq 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$)

Symbol	Parameter	Conditions	MIN	MAX	Unit
V_{ramhold}	RAM Hold Voltage	$T_a = -40 \sim +85^\circ\text{C}$	0.8		V

7.11 Electrical sensitivity 特性

7.11.1 Electrostatic discharge (ESD)

Symbol	Parameter	Conditions	Class
VESD(HBM)	Electrostatic discharge voltage (human body model)	T _A = +25°C, conforming to JESD22-A114	3A

Note: Data based on characterization results, not tested in production.

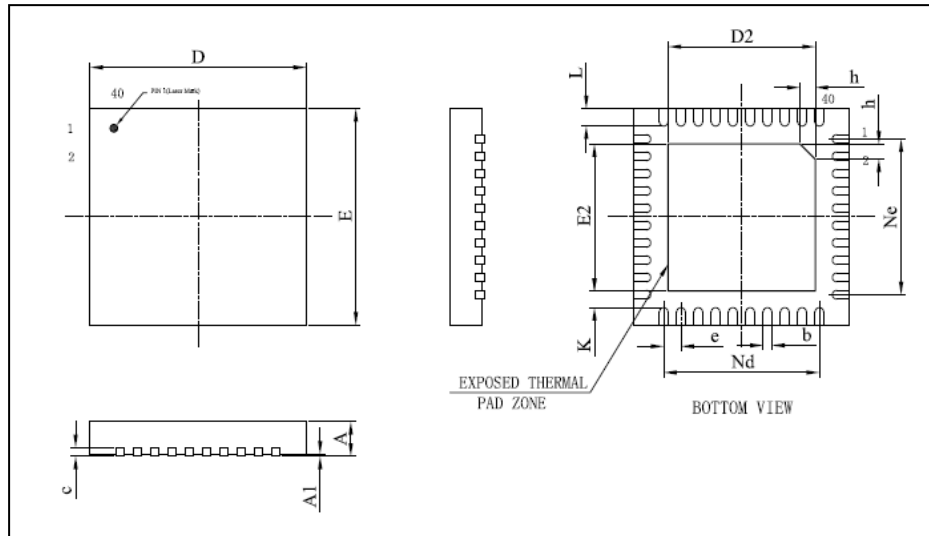
7.11.2 Static latch-up (LU)

Symbol	Parameter	Conditions	Class
LU	Static latch-up class	T _A = +25°C conforming to JESD78E	I levelA

Note. Data based on characterization results, not tested in production.

8. 封装尺寸图

8.1 QFN40 (5x5mm, 0.4mm 间距)



Symbol	Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	-	0.02	0.05
b	0.15	0.20	0.25
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.30	3.40	3.50
e	0.40BSC		
Nd	3.60BSC		
E	4.90	5.00	5.10
E2	3.30	3.40	3.50
Ne	3.60BSC		
L	0.35	0.40	0.45
K	0.20	-	-
h	0.30	0.35	0.40

9. 版本修订说明

版本号	时间	修改内容
V1.00	2020 年 11 月	初始版本
V1.01	2023 年 2 月	1) 修改产品脚位图格式 2) 删除 7.11.1 章节中 ESD 最大值